

# Method for manufacturing a semiconductor circuit system

COT

**Patent number:** DE10104265  
**Publication date:** 2002-08-22  
**Inventor:** SCHLOESSER TILL (DE)  
**Applicant:** INFINEON TECHNOLOGIES AG (DE)  
**Classification:**  
- **international:** H01L21/8246; H01L27/22; H01L21/70; H01L27/22;  
(IPC1-7): H01L27/22; G11C11/15; G11C11/16;  
H01L21/768; H01L21/8239  
- **european:** H01L21/8246M; H01L27/22; Y01N4/00  
**Application number:** DE20011004265 20010131  
**Priority number(s):** DE20011004265 20010131

Also published as:

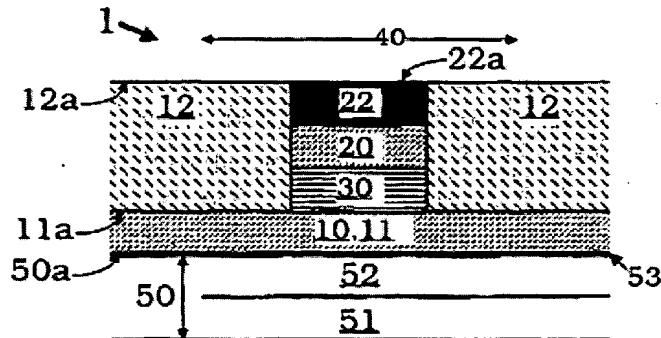
US6645822 (B2)  
 US2002102828 (A1)

[Report a data error here](#)

Abstract not available for DE10104265

Abstract of corresponding document: **US2002102828**

To simplify a method for manufacturing a memory device having a multiplicity of MRAM cells in a crossing area of conductor elements, a method for manufacturing a semiconductor circuit system, in particular, a memory device or the like, having a plurality of memory cells includes the step of structuring each of the memory elements simultaneously with the structuring of the first and second conductor elements.



Data supplied from the **esp@cenet** database - Worldwide

THE UNITED STATES PATENT AND TRADEMARK OFFICE  
U.S. PATENT AND TRADEMARK OFFICE



⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

# Offenlegungsschrift

## DE 101 04 265 A 1

⑯ Int. Cl.<sup>7</sup>:  
**H 01 L 27/22**  
H 01 L 21/768  
H 01 L 21/8239  
G 11 C 11/15  
G 11 C 11/16

⑯ Aktenzeichen: 101 04 265.5  
⑯ Anmeldetag: 31. 1. 2001  
⑯ Offenlegungstag: 22. 8. 2002

⑯ Anmelder:  
Infineon Technologies AG, 81669 München, DE

⑯ Vertreter:  
Müller - Hoffmann & Partner Patentanwälte, 81667  
München

⑯ Erfinder:  
Schlösser, Till, 81825 München, DE

⑯ Entgegenhaltungen:  
DE 101 13 853 A1  
US 58 38 608  
US 58 04 458  
US 54 96 759  
EP 09 18 334 A2

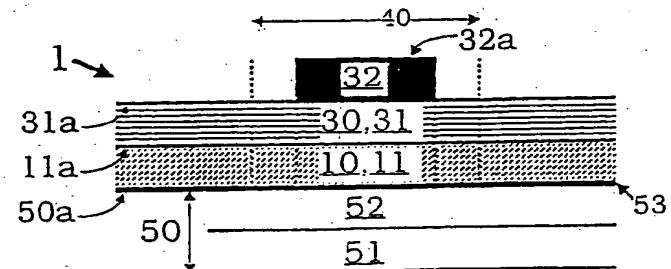
Y.Z. Hu et al.: Chemical-mechanical polishing as  
an enabling technology for giant  
magnetoresistance  
devices in Thin Solid Films, 308-309(1997),  
pp.555-561;

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Verfahren zum Herstellen einer Halbleiterschaltungsanordnung

⑯ Zur Vereinfachung eines Verfahrens zum Herstellen einer Speichereinrichtung (1) mit einer Mehrzahl von MRAM-Zellen (30) in einem Kreuzungsbereich (40) von Leitungselementen (10, 20) wird vorgeschlagen, dass das Strukturieren der Speicherelemente (30) jeweils gleichzeitig mit dem Strukturieren der ersten und zweiten Leitungselemente (10, 20) durchgeführt wird.



## Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Herstellen einer Halbleiterschaltungsanordnung gemäß dem Oberbegriff von Anspruch 1.

[0002] Bei vielen Halbleiterschaltungsanordnungen sind an Kreuzungsbereichen zweier Leitungselemente, z. B. von metallischen Leitungsbahnen oder dergleichen, Schaltungselemente vorgesehen, z. B. auch zwischen den Leitungselementen. Dies trifft z. B. für eine Vielzahl von Speichereinrichtungen oder dergleichen zu; insbesondere für Speicherzellen auf der Basis von sogenannten MRAM-Zellen. Bei sogenannten Crosspoint-MRAM-Zellen sind zwischen jeweils zwei gekreuzten Metallbahnen die Speicherzellelemente in Form von sogenannten TMR-Schichtstapeln mit sehr kleiner Dimensionierung vorgesehen.

[0003] Bei der Herstellung von Halbleiterschaltungsanordnungen werden diese häufig schichtartig sukzessive aufgebaut. Dabei besteht die Schwierigkeit, dass insbesondere beim Anordnen von Schaltungselementen in Kreuzungsbereichen von Leitungselementen aufgrund der häufig sehr kleinen Dimensionierung eine hohe geometrische Genauigkeit und Reproduzierbarkeit nur mit verhältnismäßig hohem Aufwand erreicht werden kann. Diese geometrische Genauigkeit und Reproduzierbarkeit ist aber notwendig, um z. B. bei MRAM-Zellen auch eine entsprechende Reproduzierbarkeit der magnetischen Eigenschaften der Speicherzellen zu gewährleisten.

[0004] Bei bekannten Verfahren werden die Schaltungselemente, insbesondere also die TMR-Stapelschichten, mittels eigener Lithographieschritte und -ebenen prozessiert. Das bedeutet, dass nach dem Aufbringen einer ersten Klasse von Leitungselementen oder Leiterbahnen – ebenfalls im Rahmen einer eigenen Lithographieebene mit einem eigenen Lithographieschritt – nachfolgend dann in einem separaten Prozessabschnitt die Schaltungselemente, z. B. die MRAM-Zellen, ausgebildet werden. Abschließend werden dann die Leitungselemente oder Leiterbahnen der zweiten Klasse ebenfalls in einem eigenen Lithographieschritt strukturiert.

[0005] Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zum Herstellen einer Halbleiterschaltungsanordnung bereitzustellen, bei welchem auf besonders einfache und gleichwohl verlässliche Art und Weise Schaltungselemente mit hoher geometrischer Genauigkeit strukturiert werden können.

[0006] Die Aufgabe wird bei einem gattungsgemäßen Verfahren zum Herstellen einer Halbleiterschaltungsanordnung erfindungsgemäß durch die kennzeichnenden Merkmale des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen des erfindungsgemäßen Verfahrens sind Gegenstand der abhängigen Unteransprüche.

[0007] Beim gattungsgemäßen Verfahren zum Herstellen einer Halbleiterschaltungsanordnung, insbesondere einer Speichereinrichtung oder dergleichen, mit einer Mehrzahl von Speicherzellen, insbesondere MRAM-Zellen oder dergleichen, bei welcher mindestens ein Schaltungselement jeweils im Wesentlichen in einem Kreuzungsbereich zweier Leitungselemente und zwischen diesen angeordnet ist, wird zunächst ein Substratbereich ausgebildet. Dann wird mindestens ein erstes und ein zweites Leitungselement auf einem Oberflächenbereich des Substratbereichs und mit mindestens einem Kreuzungsbereich ausgebildet, wobei mindestens ein Schaltungselement im Wesentlichen zwischen einer vom Substratbereich abgewandten Seite des ersten Leitungselements und einer dem Substratbereich zugewandten Seite des zweiten Leitungselements im Wesentlichen im Kreuzungsbereich der Leitungselemente ausgebildet wird.

[0008] Beim erfindungsgemäßen Verfahren zum Herstellen einer Halbleiterschaltungsanordnung ist es vorgesehen, dass zumindest das Ausbilden, insbesondere das Strukturieren, des jeweiligen Schaltungselementes jeweils zumindest teilweise im Wesentlichen gleichzeitig und/oder gemeinsam mit dem Ausbilden, insbesondere Strukturieren, des ersten und/oder zweiten Leitungselements durchgeführt wird.

[0009] Es ist somit eine grundlegende Idee der vorliegenden Erfindung, die Schaltungselemente der Halbleiterschaltungsanordnung, welche jeweils in Kreuzungsbereichen der Leitungselemente auszubilden sind, nicht im Rahmen eines getrennten Herstellungsabschnitts auszubilden, sondern jeweils gleichzeitig und/oder gemeinsam mit den Leitungselementen selbst. Das bedeutet, dass die für das Ausbilden der Leitungselemente notwendigen Prozessschritte zumindest teilweise auch für das Ausbilden der Schaltungselemente selbst nutzbar gemacht werden. Dadurch entfallen herkömmliche und separat vorzusehende Herstellungsschritte und auch die entsprechenden Einrichtungen. Folglich vereinfacht sich das Herstellungsverfahren für die Halbleiterschaltungsanordnung deutlich, was zu einer Zeit- und Kosteneinsparung bei der Herstellung führt. Darüber hinaus werden bestimmte Justierschwierigkeiten und geometrische Ungenauigkeiten beim Ausbilden der entsprechenden Position der Schaltungselemente im Kreuzungsbereich der Leitungselemente vermieden, weil die Schaltungselemente sozusagen in einem Zug mit den Leitungselementen in einem selbstjustierenden Prozess strukturiert werden.

[0010] Besonders bevorzugt ist das erfindungsgemäße Verfahren zum Herstellen einer Halbleiterschaltungsanordnung im Bereich der Halbleiterspeichereinrichtungen, insbesondere auf der Grundlage von MRAM-Zellen. Demgemäß ist es vorgesehen, dass als Schaltungselemente jeweils Speicherzellelemente ausgebildet werden, insbesondere als TMR-Stapel einer MRAM-Zelle oder dergleichen.

[0011] Beim Ausbilden des Substratbereichs wird vorzugsweise ein Halbleiterbereich mit einem Isolationsbereich und einer entsprechenden CMOS-Struktur ausgebildet. Auf diesem so ausgebildeten Substratbereich wird dann entsprechend die Anordnung mit der Mehrzahl erster und zweiter Leitungselemente und der entsprechenden Schaltungselemente vorgesehen.

[0012] Gemäß einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens ist es vorgesehen, dass zum Ausbilden der ersten Leitungselemente zunächst eine erste Materialschicht oder Metallschicht im Wesentlichen auf der Oberseite des Substratbereichs aufgebracht wird, insbesondere in großganzflächiger oder zweidimensionaler Form und/oder insbesondere unter Verwendung von Aluminium oder dergleichen. Zusätzlich kann auf der Oberseite des Substratbereichs auch noch eine Haftschiicht und/oder Diffusionsbarriere, z. B. durch Abscheiden von Titanitrid (TiN), vorgesehen sein.

[0013] Da es zur Gewährleistung der Reproduzierbarkeit und Vergleichbarkeit der elektromagnetischen Eigenschaften der Schaltungselemente maßgeblich auf die Geometrie ankommt, ist es vorgesehen, dass gemäß einer weiteren Ausführungsform des erfindungsgemäßen Verfahrens die erste Materialschicht oder Metallschicht für die ersten Leitungselemente planarisiert wird, insbesondere durch Polieren, ein CMP-Verfahren oder dergleichen.

[0014] Es wird ferner bevorzugt, dass auf die erste Materialschicht oder Metallschicht für die ersten Leitungselemente eine Materialschicht für die Schaltungselemente abgeschieden wird. Dies geschieht vorzugsweise in groß- oder ganzflächiger oder zweidimensionaler Art und Weise und/oder insbesondere in Form sogenannter TMR-Stapel oder dergleichen.

[0015] Zur Ausbildung der ersten Leitungselemente auf dem Oberflächenbereich des Substratbereichs ist es vorgesehen, dass auf der Materialschicht für die Schaltungselemente zunächst eine erste Maske, insbesondere eine Hartmaske, vorzugsweise aus Siliziumnitrid (SiN), ausgebildet wird. Diese Maske kann z. B. eine für Leitungselemente oder Leitungsbahnen übliche Streifenmaske sein. Dann ist es vorgesehen, dass nachfolgend in einem ersten Ätzschritt die ersten Leitungselemente und im Wesentlichen gleichzeitig damit zumindest ein erster Teil der Schaltungselemente strukturiert werden. Dies geschieht vorzugsweise entlang der Ausdehnung der ersten Maske, also insbesondere entlang der Streifenrichtung. Des Weiteren ist es gegebenenfalls vorgesehen, dass dann nachfolgend mit einem Zwischenisolationsbereich aufgefüllt wird, insbesondere mit einem Oxid, um die so erhaltene Struktur mechanisch zu stabilisieren und eine für den Betrieb notwendige elektrische Isolation in lateraler Richtung zu erreichen. Das Auffüllen erfolgt insbesondere mit Abschluss zur Oberseite der ersten Maske.

[0016] Bei vielen Schaltungselementen von Halbleiter-schaltungseinrichtungen ist es notwendig bestimmte Flächenbereiche oder Kantenbereiche, die sich im Wesentlichen vertikal erstrecken, zu schützen, mechanisch zu stabilisieren und zu passivieren. Gemäß einer weiteren bevorzugten Ausführungsform des erfundungsgemäßen Verfahrens zum Herstellen einer Halbleiterschaltungsanordnung ist es vorgesehen, dass der erste Ätzschritt in Teilschritten durchgeführt wird. Dabei ist es vorgesehen, dass zunächst in einem ersten Teiltätschritt der erste Teil des Schaltungselements bis zur Oberfläche der ersten Materialschicht oder Metallschicht für das erste Leitungselement strukturiert wird. Nachfolgend werden dann entstandene Kantenbereiche des strukturierten ersten Teils des Schaltungselements passiviert. Dies geschieht vorzugsweise durch Oxidscheidung, z. B. mittels einer Spacertechnik. Dann wird nachfolgend in einem zweiten Teiltätschritt jeweils das erste Leitungselement bis zur Oberfläche oder Oberseite des Substratbereichs strukturiert. Dabei wird bevorzugt, dass eine im Wesentlichen bündig und sich vertikal erstreckende gemeinsame Flanke des ersten Leitungselements und der Passivierung des Teils des Schaltungselements entsteht.

[0017] Insgesamt bedeutet dies zum Beispiel, dass beim ersten Teiltätschritt bis zur Oberfläche der ersten Materialschicht für das erste Leitungselement ein relativ schmaler Steg oder ein relativ schmales Linienelement freigeätzt wird, insbesondere in Form eines TMR-Stapels. Nachfolgend werden dann die Kanten dieses Stapels entsprechend durch eine Spacerabscheidung passiviert und somit mechanisch stabilisiert und geschützt. Der so abgeschiedene Spacer hat dabei eine nur geringe laterale Ausdehnung und deckt nur die Seitenbereiche oder Kantenbereiche des strukturierten Teils des Schaltungselements ab. Danach wird ein breiteres Linienelement, welches das erste geätzte Linien-element abdeckt, bis zur Oberfläche des Substratbereichs herunter in die erste Materialschicht für das erste Leitungselement hineingeätzt. Somit entsteht auf der Oberseite des Substratbereichs eine linienartige Anordnung von Stäben, wobei jeder Stapel gebildet wird von einer Materialschicht für das erste Leitungselement, einer darauf folgenden Materialschicht, welche schmäler ist, für den strukturierten ersten Teil der Schaltungselemente und einer darauf angeordneten ebenso schmalen Maskenschicht. Die Seitenbereiche oder Kantenbereiche der Materialschicht für das Schaltungselement und der Maskenschicht sind durch den Spacer passiviert, wobei die Spacer lateral bündig mit der Materialschicht für die ersten Leitungselemente abschließen.

[0018] Vorteilhafterweise wird für das weitere Prozessie-

ren nachfolgend die erste Maske, welche auf der Materialschicht für das Schaltungselement aufliegt, abgetragen. Dadurch wird eine notwendige Kontaktierung des Schaltungselementes oder eines Teils davon zwischen dem ersten und dem zweiten Leitungselement erst möglich, denn die Hartmaske wirkt in der Regel im Wesentlichen elektrisch isolierend.

[0019] Das Ausbilden der zweiten Leitungselemente geschieht vorteilhafterweise nach dem Ausbilden der ersten Leitungselemente und des entsprechenden Teils der Schaltungselemente. Zum Ausbilden der zweiten Leitungselemente wird zunächst eine zweite Materialschicht oder Metallschicht abgeschieden. Dies geschieht insbesondere in groß- oder ganzflächiger oder zweidimensionaler Form und/oder insbesondere unter Verwendung von Aluminium oder dergleichen. Gemäß der vorangehenden Strukturierung für die ersten Leitungselemente und für den ersten Teil der Schaltungselemente kann die Abscheidung der zweiten Materialschicht für die zweiten Leitungselemente z. B. auf der gemeinsamen einbettenden Zwischenisolationschicht erfolgen.

[0020] Erfindungsgemäß wird gegebenenfalls die zweite Materialschicht oder Metallschicht für die zweiten Leitungselemente planarisiert, insbesondere durch Polieren, ein CMP-Verfahren oder dergleichen.

[0021] Vorteilhafterweise wird zum Ausbilden der zweiten Leitungselemente und/oder eines weiteren Teils der Schaltungselemente nachfolgend zunächst eine zweite Maske, insbesondere eine Hartmaske, vorzugsweise aus Siliziumnitrid (SiN) oder dergleichen, ausgebildet. Dies kann ebenfalls wiederum eine Streifenmaske sein, wobei dann vorzugsweise die Richtung der Streifen sich von der Richtung der Streifen der ersten Maske unterscheidet, die insbesondere im Wesentlichen senkrecht auf dieser steht. Weiterhin werden dann nachfolgend in einem zweiten Ätzschritt die zweiten Leitungselemente und im Wesentlichen gleichzeitig damit zweite Teile der Schaltungselemente strukturiert. Dies geschieht vorzugsweise entlang der Ausdehnung der zweiten Maske, insbesondere entlang der Streifenrichtung der zweiten Maske. Des Weiteren kann gegebenenfalls ein Zwischenisolierungsbereich zur Auffüllung aufgebracht werden, insbesondere in Form einer Zwischenoxidschicht und/oder insbesondere mit Abschluss auf der Oberseite der zweiten Maske oder der Oberseite der Materialschicht der zweiten Leitungselemente.

[0022] Wie bei dem ersten Ätzschritt, so kann aus Gründen einer schonenden Präparation, insbesondere der Flankenbereiche oder Seitenbereiche der Schaltungselemente, auch der zweite Ätzschritt in Teilschritten durchgeführt werden. Dabei wird in bevorzugter Art und Weise in einem ersten Teiltätschritt bis zur Oberfläche der Materialschicht für die Schaltungselemente oder bis zur Oberfläche der ersten Maske die zweite Materialschicht oder zweite Metallschicht für die zweiten Leitungselemente geätzt. In einem zweiten Teiltätschritt wird dann die Materialschicht für die Schaltungselemente, insbesondere also die TMR-Stapel, gegebenenfalls mit etwas größerer Breite bis zur Oberfläche der ersten Leitungselemente geätzt, wobei dann gegebenenfalls wieder mittels einer Spacertechnik die Randbereiche oder Kantenbereiche der so strukturierten Teile der Schaltungselemente passiviert und geschützt werden.

[0023] Danach wird gegebenenfalls vorteilhafterweise wieder mit einem Zwischenisolierungsbereich aufgefüllt, insbesondere mit einem Zwischenoxid oder dergleichen und/oder insbesondere mit Abschluss auf dem Niveau der Oberseite der zweiten Maske oder der Oberseite der zweiten Leitungselemente.

[0024] Vorteilhafterweise wird beim Strukturieren der er-

sten und zweiten Leitungselemente jeweils eine Streifenmaske verwendet, wobei vorteilhafterweise die Streifenrichtungen verschieden sind, die insbesondere im Wesentlichen senkrecht aufeinanderstehen.

[0025] Weitere Aspekte der vorliegenden Erfindung ergeben sich aus den nachfolgend ausgeführten Bemerkungen: Der bei Crosspoint-MRAM-Zellen zwischen jeweils zwei gekreuzten Metallbahnen oder Leitungsbahnen angeordnete TMR-Schichtstapel muss in sehr kleiner Dimensionierung und gleichwohl mit hoher geometrischer Genauigkeit ausgebildet und strukturiert werden. Dies ist im Hinblick auf die Reproduzierbarkeit der magnetischen Eigenschaften wichtig.

[0026] Bei herkömmlichen Herstellungsvorgängen wird die TMR-Schicht jeweils im Rahmen eines eigenen Lithographieschritts mit einer eigenen Lithographieebene belichtet und strukturiert. Einerseits ist die Lithographie kleiner Einzelstrukturen sehr schwierig und innerhalb des Gesamtprozesses aufwendig. Ferner ergeben sich nicht zu vermeidende Ungenauigkeiten bei der Justage. Andererseits hängt die relative Lage der TMR-Stapel zu den Metallbahnen oder Leitungsbahnen stark von den Justiertoleranzen ab. Diese betragen typischerweise etwa ein Drittel der maximalen Auflösung.

[0027] Bei dem erfindungsgemäßen Vorgehen beruht der Herstellungsprozess auf einem Metallisierungsschema, bei welchem die Metallbahnen geätzt werden. Dies geschieht typischerweise wie bei einer Aluminiummetallisierung. Dabei wird der TMR-Stapel in vollständiger Art und Weise und selbstjustiert zu den Metallbahnen ausgeführt, wie das oben beschrieben wurde, und zwar indem das Strukturieren der TMR-Stapel zumindest teilweise gleichzeitig und/oder gemeinsam mit dem Strukturieren der Metallbahnen ausgeführt wird.

[0028] Somit entfallen erfindungsgemäß in vorteilhafter Art und Weise die üblicherweise sich einstellenden Justierungsgenauigkeiten zwischen den Metallbahnen und dem TMR-Element. Es können des Weiteren rechteckige Zellen mit gut kontrollierbarer Geometrie ausgebildet werden. Das Entfallen einer weiteren Lithographieebene und einer entsprechenden sehr kritischen Maske führt zu einer Kostenreduktion. Als einfache Lithographieebenen oder Lithographieschritte verbleiben derartige Schritte mit Streifenmasken, wodurch der Herstellungsprozess weiter vereinfacht wird.

[0029] Nachfolgend wird die Erfindung anhand einer schematischen Zeichnung auf der Grundlage bevorzugter Ausführungsformen der vorliegenden Erfindung näher erläutert.

[0030] Fig. 1-3 sind geschnittene Seitenansichten verschiedener Zwischenzustände für eine Halbleiterschaltungsanordnung im Rahmen einer Ausführungsform des erfindungsgemäßen Verfahrens, und zwar in einer ersten Blickrichtung.

[0031] Fig. 4-6 sind seitliche Querschnittsansichten weiterer Zwischenstufen einer Halbleiterschaltungsanordnung im Rahmen der Ausführungsform des erfindungsgemäßen Verfahrens, und zwar entlang einer anderen Blickrichtung.

[0032] Fig. 7 ist eine teilweise geschnittene Draufsicht auf die Halbleiterschaltungsanordnung der Fig. 1-6 nach deren Fertigstellung im Rahmen der Ausführungsform des erfindungsgemäßen Verfahrens.

[0033] Die Fig. 1-6 zeigen verschiedene Stadien bei der Herstellung einer Halbleiterschaltungsanordnung 1 im Rahmen einer Ausführungsform des erfindungsgemäßen Verfahrens, und zwar für die Fig. 1-3 aus einer Blickrichtung entlang eines ersten auszubildenden Leitungselementes 10 und für die Fig. 4-6 entlang eines zweiten auszubildenden

#### Leitungselement 20.

[0034] Die Fig. 1 zeigt in seitlicher Querschnittsansicht eine erste Zwischenstufe bei der Herstellung einer Halbleiterschaltungsanordnung 1 gemäß der Ausführungsform des erfindungsgemäßen Verfahrens. Der ausgebildete Substratbereich 50 mit seiner Oberfläche oder Oberseite 50a ist schichtweise aufgebaut, und zwar mit dem eigentlichen Halbleitersubstrat 51, einem darauf vorgesehenen Isolationsbereich 52 und einer darauf angeordneten Haftschicht und Diffusionsbarriere 53, z. B. aus Titannitrid (TiN). Auf der Oberfläche oder Oberseite 50a des Substratbereichs 50 wurde dann in zweidimensionaler Form zunächst eine erste Materialschicht 11 oder Metallisierungsschicht 11 für erste auszubildende Leitungselemente 10 und darauf folgend auf deren Oberseite 11a eine Materialschicht 31 für die auszubildenden Schaltungselemente 30 ausgebildet. In vorzusehenden Kreuzungsbereichen 40 für die insgesamt auszubildenden ersten und zweiten Leitungselemente 10 und 20 wurde dann nachfolgend eine erste Maske 32 mit Oberseite 32a abgeschieden, z. B. in Form einer Siliziumnitridhartmaske oder dergleichen.

[0035] Im Übergang zu dem in Fig. 2 gezeigten Zwischenzustand ist bei der Halbleiterschaltungsanordnung 1 ein erster Teilstanzschritt bis zur Oberfläche oder Oberseite 11a der ersten Materialschicht 11 durchgeführt worden, um gemäß der abgeschiedenen ersten Maske 32 einen ersten Teil für das Schaltungselement 30 auszubilden. Nachfolgend wurden dann noch an den Kantenbereichen 30k mittels einer Spacertechnik entsprechende Passivierungen 33 abgeschieden, um insbesondere die Seiten- oder Kantenbereiche 30k der Schaltungselemente 30 zu schützen.

[0036] Im Übergang zu dem in Fig. 3 gezeigten Zwischenzustand wurde in einem zweiten Teilstanzschritt die erste Materialschicht oder Metallschicht 11 für die ersten Leitungselemente 10 bis auf die Oberseite 50a des Substratbereichs 50 heruntergeätzt, und zwar bündig mit der lateralen Ausdehnung der Passivierungen 33 des Schaltungselements 30 im auszubildenden Kreuzungsbereich 40. Fig. 3 zeigt den Zwischenzustand nach Auffüllen mit einer entsprechenden Zwischenisolationsschicht 12 oder Zwischenoxidsschicht 12 bis zur Oberfläche 32a der ersten Maske 32.

[0037] Die Fig. 4-6 zeigen weitere nachfolgende Zwischenstufen bei der Herstellung der Halbleiterschaltungsanordnung 1 gemäß der hier beschriebenen Ausführungsform des erfindungsgemäßen Verfahrens, und zwar ebenfalls wieder in Form seitlicher Querschnittsansichten, diesmal aber in Blickrichtung der auszubildenden zweiten Leitungseinrichtung 20.

[0038] Ausgehend von dem in Fig. 3 gezeigten Zwischenzustand wurde im Übergang zu dem in Fig. 4 gezeigten Zwischenzustand zunächst die erste Maske 32 vollständig entfernt und dann eine zweite Materialschicht 21 oder zweite Metallisierungsschicht 21 mit Oberseite 21a für die auszubildenden zweiten Leitungselemente 20 abgeschieden und entsprechend planarisiert. Nachfolgend wurde dann auf die Oberseite 21a der zweiten Materialschicht 21 oder Metallisierungsschicht 21 eine zweite Maske 22 abgeschieden, so dass sich insbesondere in den auszubildenden Kreuzungsbereichen 40 ein entsprechender Überlapp ergibt.

[0039] Anschließend wurde dann ein weiterer Teilstanzschritt durchgeführt, bei welchem bis auf die Oberfläche 11a der ersten Materialschicht 11 oder Metallschicht 11 herunter die nicht durch die zweite Maske abgedeckten Bereiche der zweiten Metallisierungsschicht 21 und der Materialschicht 11 für die Schaltungselemente 10 entfernt wurden. Dieser Zustand ist in Fig. 5 dargestellt.

[0040] Im Übergang zur Fig. 6 wurde dann nachfolgend eine Einbettung 12 in einen Zwischenisolationsbereich 12,

welcher mit der Oberseite 22a der zweiten Maske 22 abgeschlossen wird, ausgebildet.

[0041] Fig. 7 zeigt in einer schematischen und teilweise geschnittenen Draufsicht den Endzustand bei der erfundungsgemäßen Herstellung einer Halbleiterschaltungsanordnung 1 im Kreuzungsbereich 40 zweier Leitungselemente 10 und 20. In diesem Kreuzungsbereich 40 ist ein Schaltungselement 30 in Form eines TMR-Stapels einer MRAM-Zelle ausgebildet, wobei zum Schutz der Kantenbereiche 30k des Schaltungselements 30 Passivierungselemente 33 vorgesehen sind.

5

10

#### Bezugszeichenliste

1 Halbleiterschaltungsanordnung	15
10 Erstes Leitungselement	
10a Oberseite	
11 Erste Materialschicht, Metallschicht	
11a Oberseite	
12 Zwischenisolationsschicht, -bereich	20
12a Oberseite	
20 Zweites Leitungselement	
20a Oberseite	
22 Zweite Maske	25
22a Oberseite	
30 Schaltungselement	
30a Oberseite	
30k Kantenbereich	
31 Materialschicht	
31a Oberseite	30
32 Erste Maske	
32a Oberseite	
33 Passivierungselement	
40 Kreuzungsbereich	35
50 Substratbereich	
50a Oberseite	
51 Halbleitersubstrat	
52 Isolationsbereich	
53 Haftschicht, Diffusionsbarriere	40

#### Patentansprüche

1. Verfahren zum Herstellen einer Halbleiterschaltungsanordnung, insbesondere einer Speichereinrichtung oder dergleichen mit einer Mehrzahl von Speicherzellen, insbesondere MRAM-Zellen oder dergleichen, bei welcher mindestens ein Schaltungselement (30) im Wesentlichen in einem Kreuzungsbereich (40) mindestens zweier Leitungselemente (10, 20) und zwischen diesen angeordnet ist, mit den Schritten:

45

50

- Ausbilden mindestens eines Substratbereichs (50),

- Ausbilden mindestens eines ersten und eines zweiten Leitungselementes (10, 20) im Wesentlichen auf Oberflächenbereichen (50a) des Substratbereichs (50) und mit mindestens einem Kreuzungsbereich (40),

55

- Ausbilden mindestens eines Schaltungselementes (30) im Wesentlichen zwischen einer vom Substratbereich (50) abgewandten Seite (10a) des ersten Leitungselementes (10) und einer dem Substratbereich (50) zugewandten Seite (20b) des zweiten Leitungselementes (20) und im Wesentlichen im Kreuzungsbereich (40) der Leitungselemente (10, 20),

60

dadurch gekennzeichnet,  
dass zumindest das Ausbilden, insbesondere das Strukturieren, des Schaltungselementes (30) zumindest teil-

weise im Wesentlichen gleichzeitig und/oder gemeinsam mit dem Ausbilden, insbesondere dem Strukturieren, des ersten und/oder zweiten Leitungselementes (10, 20) durchgeführt wird.

2. Verfahren nach Anspruch 1, bei welchem als Schaltungselement (30) jeweils ein Speicherelement (30) ausgebildet wird, insbesondere ein TMR-Stapel einer MRAM-Zelle oder dergleichen.

3. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass beim Ausbilden des Substratbereichs (50) ein Halbleiterbereich (51) mit einem Isolationsbereich (52) darauf und einer entsprechenden CMOS-Struktur ausgebildet wird.

4. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass beim Ausbilden der ersten Leitungselemente (10) zunächst eine erste Material- oder Metallschicht (11) im Wesentlichen auf der Oberseite (50a) des Substratbereichs (50) aufgebracht wird, insbesondere in groß- oder ganzflächiger oder zweidimensionaler Form und/oder insbesondere unter Verwendung von Aluminium oder dergleichen.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass die erste Material- oder Metallschicht (11) planarisiert wird, insbesondere durch Polieren, ein CMP-Verfahren oder dergleichen.

6. Verfahren nach einem der Ansprüche 4 oder 5, dadurch gekennzeichnet, dass auf die erste Material- oder Metallschicht (11) eine Materialschicht (31) für die Schaltungselemente (30) abgeschieden wird, insbesondere in groß- oder ganzflächiger oder zweidimensionaler Form und/oder insbesondere als TMR-Stapel oder dergleichen.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass auf der Materialschicht (31) für die Schaltungselemente (30) eine erste Maske (32), insbesondere eine Hartmaske, vorzugsweise aus Siliziumnitrid, ausgebildet wird,

dass in einem ersten Ätzschritt erste Leitungselemente (10) und im Wesentlichen gleichzeitig damit jeweils ein erster Teil des Schaltungselementes (30) strukturiert werden, insbesondere entlang der Ausdehnung der ersten Maske (32), und

dass gegebenenfalls mit einem Zwischenisolationsbereich (12) aufgefüllt wird, insbesondere mit einem Oxid und/oder insbesondere mit Abschluss auf der Oberseite (32a) der ersten Maske (32).

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass der erste Ätzschritt in Teilschritten durchgeführt wird,

dass dabei in einem ersten Teilätzschritt zunächst der erste Teil des Schaltungselementes (30) bis zur Oberfläche (11a) der ersten Metallschicht (11) für das erste Leitungselement (10) strukturiert wird,

dass dann nachfolgend entstandene Kantenbereiche (30k) des ersten Teils des Schaltungselementes (30) passiviert werden, insbesondere durch Oxidabscheidung (33) mittels einer Spacertechnik, und

dass dann abschließend in einem zweiten Teilätzschritt jeweils das erste Leitungselement (10) bis zur Oberseite (50a) des Substratbereichs (50) strukturiert wird, insbesondere mit im Wesentlichen gemeinsam bündig sich vertikal erstreckender Flanke des ersten Leitungselementes (10) und der Passivierung (33).

9. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass dann nachfolgend die erste Maske (32), insbesondere durch einen weiteren Ätzschritt, entfernt wird.

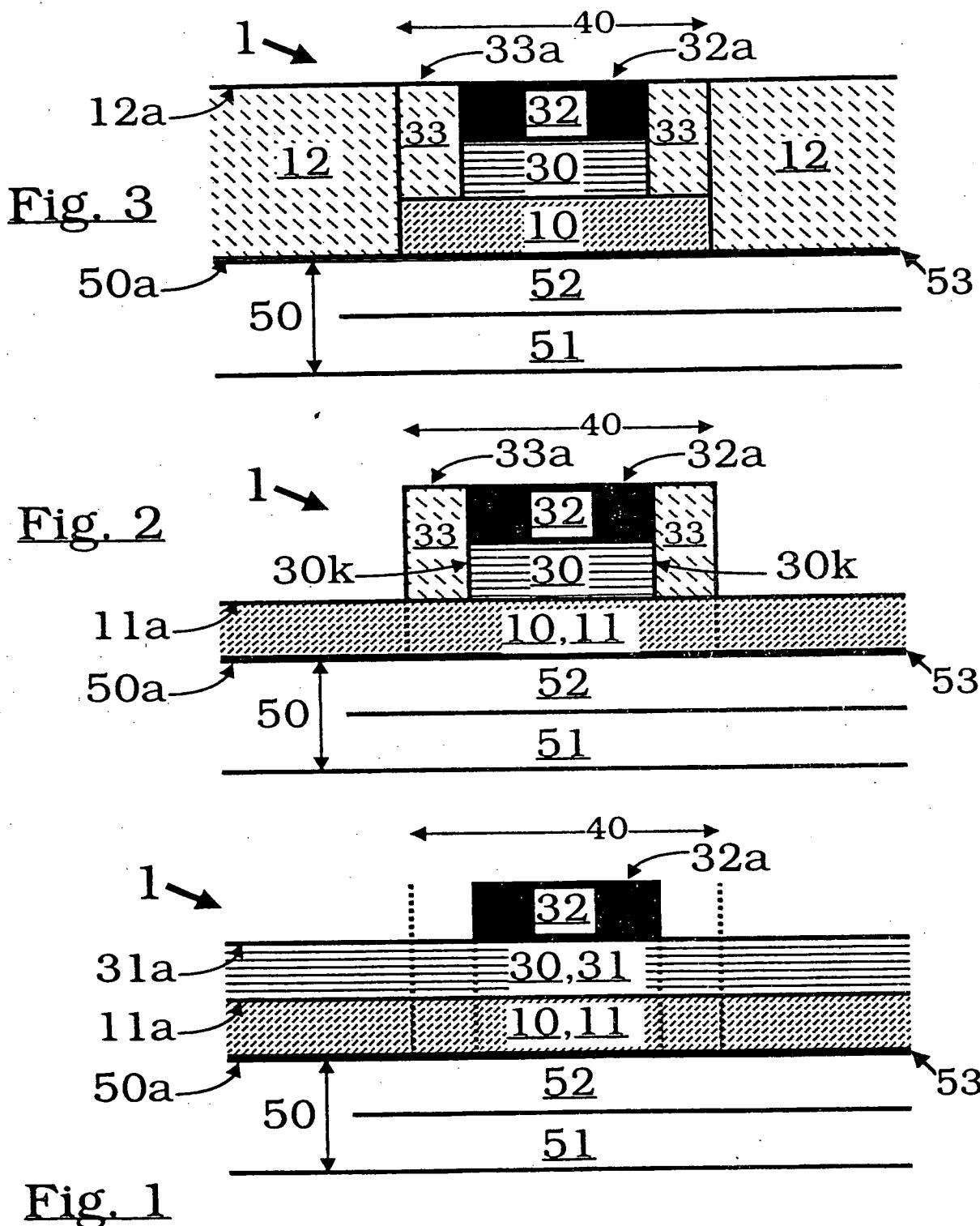
10. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet,  
dass nach dem Ausbilden der ersten Leitungselemente  
(10) und des jeweiligen ersten Teils der Schaltungselemente  
(30) zum Ausbilden der zweiten Leitungselemente (20) zunächst eine zweite Material- oder Metall-  
schicht (21) abgeschieden wird, insbesondere in groß-  
oder ganzflächiger oder zweidimensionaler Form und/  
oder insbesondere unter Verwendung von Aluminium  
oder dergleichen,  
wobei gegebenenfalls die zweite Material- oder Metall-  
schicht (21) planarisiert wird, insbesondere durch Po-  
lieren, ein CMP-Verfahren oder dergleichen.
11. Verfahren nach Anspruch 10, dadurch gekenn-  
zeichnet,  
dass dann zunächst eine zweite Maske (22), insbeson-  
dere eine Hartmaske, vorzugsweise aus Siliziumnitrid  
ausgebildet wird,  
dass dann in einem zweiten Ätzschritt die zweiten Lei-  
tungselemente (20) und im Wesentlichen gleichzeitig  
damit ein zweiter Teil der Schaltungselemente (30)  
strukturiert werden, insbesondere entlang der Ausdeh-  
nung der zweiten Maske (22), und  
dass gegebenenfalls mit einem Zwischenisolationsbe-  
reich (12) aufgefüllt wird, insbesondere mit einem 25  
Oxid, insbesondere mit Abschluss auf der Oberseite  
(22a) der zweiten Maske (22), wobei gegebenenfalls  
auf die Oberfläche (20a) des zweiten Leitungselements  
(20) planarisiert wird, insbesondere durch Polieren, ein  
CMP-Verfahren oder dergleichen.
12. Verfahren nach Anspruch 11, dadurch gekenn-  
zeichnet,  
dass der zweite Ätzschritt in Teilschritten durchgeführt  
wird,  
dass dabei in einem ersten Teilätzschritt nachfolgend 35  
zunächst jeweils das zweite Leitungselement (20) bis  
auf die Oberfläche des Zwischenisolationsbereichs  
(12) strukturiert wird, und  
dass dann nachfolgend in einem zweiten Teilätzschritt  
der zweite Teil des jeweiligen Schaltungselements (30) 40  
bis auf die Oberfläche (10a) des ersten Leitungsele-  
ments (10) strukturiert wird.
13. Verfahren nach einem der Ansprüche 11 oder 12,  
dadurch gekennzeichnet, dass nach dem Strukturieren  
der ersten Leitungselemente (10), der zweiten Lei-  
tungselemente (20) und der Schaltungselemente (30)  
mit einem Zwischenoxid oder dergleichen, insbeson-  
dere mit einem Zwischenoxid oder dergleichen, insbe-  
sondere mit Abschluss auf der Oberseite (22a) der  
zweiten Maske (22) oder der Oberfläche (20a) des 50  
zweiten Leitungselements (20), aufgefüllt wird.
14. Verfahren nach einem der vorangehenden Ansprü-  
che, dadurch gekennzeichnet, dass zum Strukturieren  
der ersten und zweiten Leitungselemente (10, 20)  
Streifenmasken (32, 22) mit verschiedenen Streifen-  
richtungen, insbesondere im Wesentlichen senkrecht  
zueinander, verwendet werden.

---

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

**THIS PAGE BLANK (USPTO)**



BEST AVAILABLE COPY

ZEICHNUNGEN SEITE 2

Nummer:  
Int. Cl. 7:  
Offenlegungstag:

DE 101 04 265 A1  
H 01 L 27/22  
22. August 2002

Fig. 5

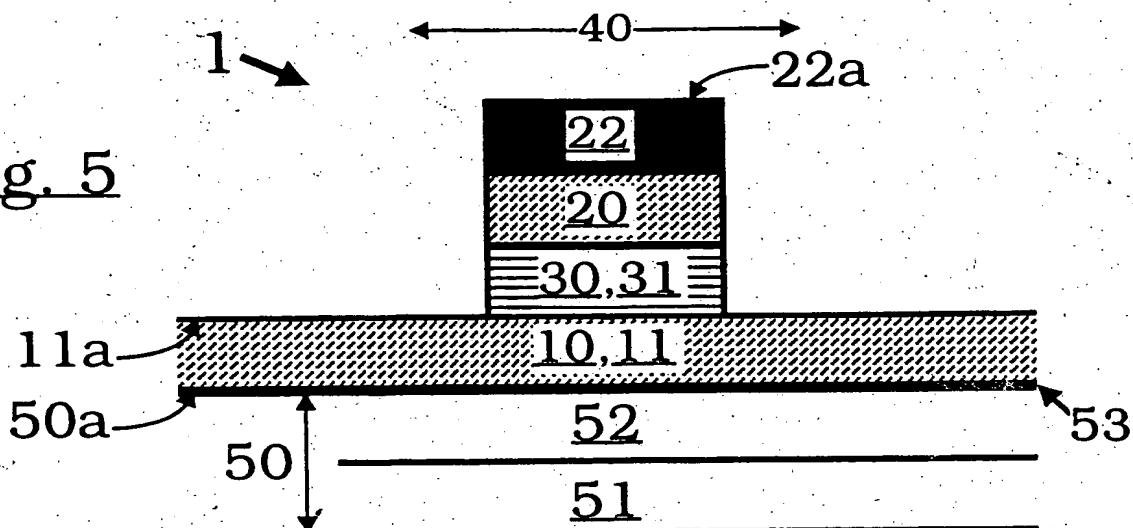


Fig. 4

